

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-312780

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

21/60

3 0 1 A

25/18

3 1 1 R

21/60

3 0 1

23/12

L

3 1 1

審査請求 有 請求項の数12 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平10-121046

(22) 出願日 平成10年(1998)4月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 稲葉 健仁

東京都港区芝五丁目7番1号 日本電気株

式会社内

(72) 発明者 市瀬 理彦

東京都港区芝五丁目7番1号 日本電気株

式会社内

(72) 発明者 大谷内 賢治

東京都港区芝五丁目7番1号 日本電気株

式会社内

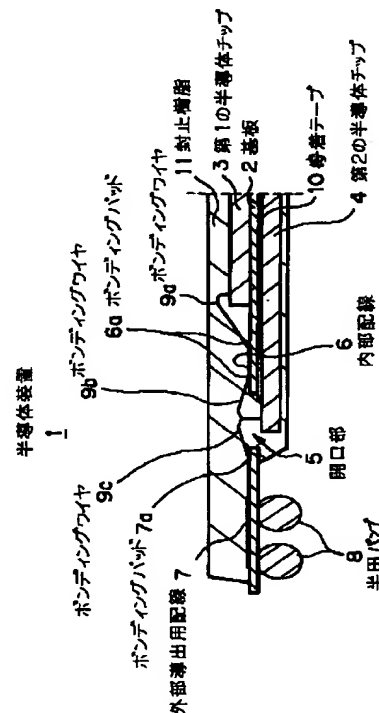
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 実装時における半導体装置の一層の薄型化を図る。電気接続部の信頼性を向上させる。

【解決手段】 半導体装置1の基板2の表面には内部電極6および外部導出用配線7が形成され、その裏面にはスルーホール（不図示）によって外部導出用配線7に導通された半田パンプ8が設けられている。基板2の表面には第1の半導体チップ3が搭載され、基板2の裏面には第2の半導体チップ4が搭載されている。第1の半導体チップ3の電極部は内部配線6の一方のボンディングパッド6aに接続され、第2の半導体チップ4の電極部は、基板2に設けられた開口部5を通されたボンディングワイヤ9b、9cによって、内部配線6の他方のボンディングパッド6a、外部導出用配線7に接続されている。半田パンプ8は、第2の半導体チップ4の厚み以上の高さに形成されている。



## 1

## 【特許請求の範囲】

【請求項 1】 表面には外部導出用配線が形成され、裏面には前記外部導出用配線に導通された半田パンプが設けられた基板と、一方の面に電極部が設けられ、該電極部が前記外部導出用配線に接続された状態で前記基板の表面に搭載された第 1 の半導体チップと、一方の面に電極部が設けられ、該電極部が前記外部導出用配線に接続された状態で前記基板の裏面に搭載された第 2 の半導体チップとを有する半導体装置であって、前記半田パンプは前記第 2 の半導体チップの厚み以上の高さを有することを特徴とする半導体装置。

【請求項 2】 前記第 2 の半導体チップは前記電極部が設けられている面が前記基板の裏面に向けられた状態で前記基板の裏面に搭載され、前記基板における前記第 2 の半導体チップの電極部が設けられている領域に対向する部分には開口部が設けられており、前記第 2 の半導体チップの電極部と前記外部導出用配線とは前記開口部を通されたボンディングワイヤによって接続されている請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の半導体チップは前記外部導出用配線に接続される電極部が設けられている面が表に向けられた状態で前記基板の表面に搭載され、前記基板の表面には前記第 1 の半導体チップの周囲を囲むように内部配線が形成されており、前記第 1 の半導体チップの電極部と前記内部配線の一方の端部とはボンディングワイヤによって接続され、前記第 2 の半導体チップの電極部と前記内部配線の他方の端部および前記外部導出用配線とは前記開口部を通されたボンディングワイヤによって接続されている請求項 2 に記載の半導体装置。

【請求項 4】 前記第 2 の半導体チップの電極部には半田ボールが設けられ、前記基板の裏面には前記外部導出用配線に導通された電極パッドが設けられており、前記第 2 の半導体チップは、前記半田ボールが前記電極パッドに接続されることにより前記基板の裏面にフリップチップ接続されている請求項 1 に記載の半導体装置。

【請求項 5】 前記基板の表面における前記第 1 の半導体装置が搭載される部分にはダイパッドが設けられており、前記第 1 の半導体装置は導電性接着剤によって前記ダイパッドに接着されている請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】 前記第 2 の半導体装置は接着テープによって前記基板の裏面に接着されている請求項 1, 2, 3 および 5 に記載の半導体装置。

【請求項 7】 前記基板はリジッドタイプの樹脂製基板である請求項 1 から 6 のいずれか 1 項に記載の半導体装置。

【請求項 8】 前記基板はフレキシブルタイプの樹脂製基板である請求項 1 から 6 のいずれか 1 項に記載の半導体装置。

【請求項 9】 表面に外部導出用配線が形成された基板

## 2

の表面に、一方の面に電極パッドが設けられた第 1 の半導体チップを搭載し、前記第 1 の半導体チップの電極部を前記外部導出用配線に接続する工程と、

前記基板の裏面に、一方の面に電極パッドが設けられた前記第 2 の半導体チップを搭載し、前記第 2 の半導体チップの電極部を前記外部導出用配線に接続する工程と、前記基板の裏面に、前記外部導出用配線に導通され、前記第 2 の半導体チップの厚み以上の高さに形成された半田パンプを設ける工程とを有する半導体装置の製造方法。

【請求項 10】 前記基板のうちの前記第 2 の半導体チップの電極部が設けられている領域に対向する部分には開口部が設けられており、前記基板の裏面に、一方の面に電極パッドが設けられた前記第 2 の半導体チップを搭載し、前記第 2 の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第 2 の半導体チップを前記電極部が設けられている面を前記基板の裏面に向けた状態で前記基板の裏面に搭載する工程と、前記第 2 の半導体チップの電極部と前記外部導出用配線とを、前記開口部を通されたボンディングワイヤによって接続する工程とからなる請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記基板のうちの前記第 2 の半導体チップの電極部が設けられている領域に対向する部分には開口部が設けられているとともに、前記基板の表面には前記第 1 の半導体チップの周囲を囲むように内部配線が形成されており、前記表面に外部導出用配線が形成された基板の表面に、一方の面に電極パッドが設けられた第 1 の半導体チップを搭載し、前記第 1 の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第 1 の半導体チップを前記電極部が設けられている面を表に向けた状態で前記基板の表面に搭載する工程と、前記第 1 の半導体チップの電極部と前記内部配線の一方の端部とをボンディングワイヤによって接続する工程とからなり、

前記基板の裏面に、一方の面に電極パッドが設けられた前記第 2 の半導体チップを搭載し、前記第 2 の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第 2 の半導体チップを前記電極部が設けられている面を前記基板の裏面に向けた状態で前記基板の裏面に搭載する工程と、

前記第 2 の半導体チップの電極部と前記外部導出用配線とを、前記開口部を通されたボンディングワイヤによって接続する工程とからなり、

さらに、前記第 2 の半導体チップの電極部と前記内部配線の他方の端部とを、前記開口部を通されたボンディングワイヤによって接続する工程を有する請求項 9 に記載の半導体装置の製造方法。

【請求項 12】 前記第 2 の半導体チップの電極部には半田ボールが設けられ、前記基板の裏面には前記外部導

出用配線に導通された電極パッドが設けられており、前記基板の裏面に、一方の面に電極パッドが設けられた前記第2の半導体チップを搭載し、前記第2の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記半田ボールを前記電極パッドに接続させることにより前記第2の半導体チップを前記基板の裏面にフリップチップ接続させる工程である請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マルチチップモジュール構造を有する半導体装置およびその製造方法に関する。さらに詳しくは、ロジックチップとメモリチップとが混載された半導体装置や、メモリ容量を増加させるために複数のメモリチップが搭載された半導体装置、または製造プロセスや材料が異なる複数の半導体チップが搭載された半導体装置、およびその製造方法に関する。

【0002】

【従来の技術】図7は、特開平9-181256号公報に開示された従来の半導体装置を示す断面図である。

【0003】図7に示すように、上記従来の半導体装置は、複数の半導体素子102が両面に搭載された半導体素子搭載基板103が、半田バンプ等の外部接続端子101aが裏面に設けられた外部接続端子支持基板101の上に、半田104によって電気的に接続された状態で支持されている。半導体素子搭載基板103の周囲は、封止樹脂105によって封止されている。

【0004】各半導体素子102は、半導体素子搭載基板103上に形成された配線パターン103aに対してボンディングワイヤ106によって接続され、さらに、半導体素子搭載基板103上の配線パターン103aと外部接続端子支持基板101上の配線パターン101bとは、ボンディングワイヤ107によって接続されている。従って、各半導体素子102と外部接続端子101aとは電気的に接続されている。

【0005】ここで、半導体素子搭載基板103に対する半導体素子102の実装工程について説明する。

【0006】半導体素子搭載基板103に対する半導体素子102の実装工程では、まず、半導体素子搭載基板103の一方の面に半導体素子102を搭載し、基板103と半導体素子102とをワイヤボンディングによって接続する。続いて、半導体素子搭載基板103を裏返す。次に、半導体素子搭載基板103の他方の面に半導体素子102を搭載し、基板103と半導体素子102とをワイヤボンディングによって接続する。以上により、半導体素子搭載基板103の両面に半導体素子102が搭載される。

【0007】上記のように構成された従来の半導体装置では、半導体素子搭載基板103の両面が半導体素子102の搭載面として用いられるため、半導体素子搭載基

板103に複数の半導体素子102を搭載することが容易となっている。さらに、外部接続端子支持基板101と半導体素子搭載基板103との電気的接続部分を共通にすることによって、半導体素子搭載基板103に種類が異なる複数の半導体素子102が搭載されている場合であっても、その外部接続端子支持基板101および半導体素子搭載基板103を汎用的に使用することができるので、製造コストの低減化が図られている。

【0008】図8は従来の他の半導体装置の一部を破断した状態で示す透視平面図、図9は図8に示した半導体装置を示す断面図である。

【0009】図8および図9に示す従来の半導体装置は、表面に配線パターン208が形成された基板201の上に第1の半導体チップ202が搭載され、さらに、第1の半導体チップ202の上には、絶縁性の接着テープ207等によって第2の半導体チップ203が接着されており、複数の半導体チップが積載されたチップスタック構造を有している。各半導体チップ201、202は、それぞれボンディングパッドが形成されている面が上に向けられた状態で、基板201上に搭載されている。また、基板201の裏面には、半田バンプ205が設けられている（図9参照）。

【0010】第1の半導体チップ202と第2の半導体チップ203とは、各半導体チップのボンディングパッド同士を結線するボンディングワイヤ204aによって接続されている。さらに、第1の半導体チップ202と基板201の配線パターン208とはボンディングワイヤ204bによって接続され、第2の半導体チップ203と基板201の配線パターン208とはボンディングワイヤ204cによって接続されている。なお、基板201の表面に形成された配線パターン208と、基板201の裏面に設けられた半田バンプ205とは、スルーホール（不図示）を介して接続されている。従って、各半導体チップ202、203と半田バンプ205とは電気的に接続されている。さらに、基板201の上面は、配線パターン208、各半導体チップ203、204および各ボンディングワイヤを密封するように、封止樹脂206によって封止されている。

【0011】ここで、図8および図9に示すように構成された従来の半導体装置の製造工程について説明する。

【0012】まず最初に、基板201の上面に銀ペースト等の導電性接着剤を塗布し、第1の半導体チップ202を基板201の上面に接着させる。次に、第1の半導体チップ202の上面に絶縁性の接着テープ207等を張り付け、第1の半導体チップ202の上に第2の半導体チップ203を接着させる。その後、上記のように各半導体チップ202、203が搭載された基板201をベーキングする。次に、一般的なワイヤボンディング法により、各半導体チップ202、203および基板201に対して、各ボンディングワイヤ204a、204

b, 204c のボンディング作業を行う。次に、基板 201 の上面に封止樹脂 206 を流し込み、各半導体チップ 203, 204、配線パターン 208 および各ボンディングワイヤを密封させる。最後に、基板 201 の裏面において、各スルーホールに半田パンプ 205 を接合する。以上の製造工程により、上記従来の半導体装置が構成される。

#### 【0013】

【発明が解決しようとする課題】しかしながら、図 7 に示した従来の半導体装置では、半導体素子 102 が搭載される基板として、外部接続端子支持基板 101 と半導体素子搭載基板 103 との 2 つの基板が必要となるため、半導体装置の部品点数が増加し、半導体装置のコストを低減する妨げとなっていた。さらに、外部接続端子支持基板 101 の上に半導体素子搭載基板 103 が支持される構成であるため、本従来例の半導体装置は少なくとも 2 枚の基板を合わせた厚みよりも厚くなるため、パッケージの薄型化を図ることが困難であった。

【0014】加えて、半導体素子搭載基板 103 に対する半導体素子 102 の実装工程において、半導体素子搭載基板 103 の一方の面に半導体素子 102 を実装した後に半導体素子搭載基板 103 を裏返す必要があるため、ワイヤボンディング工程が複雑化するという問題があった。さらに、半導体素子搭載基板 103 を裏返すときに、実装装置の基板搬送治具（不図示）によって、既に結線されたボンディングワイヤ 106 が押しつぶされること等により、ワイヤ同士の接触によるワイヤ間のショートが発生するおそれがあった。そのため、半導体装置の生産歩留まりおよび品質を向上させる妨げとなっていた。

【0015】一方、図 8 および図 9 に示した従来の他の半導体装置では、第 2 の半導体チップ 202 と基板 201 とを結線するボンディングワイヤ 204b が比較的に長くなるため、封止樹脂 205 を流し込む際にボンディングワイヤ 204b が撓むことによって隣接するボンディングワイヤに接触する現象（当業者間では、「ワイヤ流れ」といわれている。）が生じ、ワイヤ間にショートが発生するおそれがあった。

【0016】本従来例の半導体装置は、1 枚の基板 201 の上に半導体チップ 202, 203 が積層されている構成であるため、2 枚の基板が積層された図 7 に示す従来の半導体装置に比べて薄型化されている。しかし、近年では、特に携帯型パソコンや携帯電話等の分野において高密度実装化が進み、これに伴って実装時における半導体装置の取付け高さをより低くすることが求められるようになっている。

【0017】そこで本発明は、実装時に一層の薄型化を図ることができる半導体装置を提供することを目的とする。

【0018】さらに、本発明は、電気接続部の信頼性を

向上させることができる半導体装置を提供することを目的とする。

#### 【0019】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体装置は、表面には外部導出用配線が形成され、裏面には前記外部導出用配線に導通された半田パンプが設けられた基板と、一方の面に電極部が設けられ、該電極部が前記外部導出用配線に接続された状態で前記基板の表面に搭載された第 1 の半導体チップと、一方の面に電極部が設けられ、該電極部が前記外部導出用配線に接続された状態で前記基板の裏面に搭載された第 2 の半導体チップとを有する半導体装置であって、前記半田パンプは前記第 2 の半導体チップの厚み以上の高さを有することを特徴とする。

【0020】上記のように構成された本発明の半導体装置は、外部実装基板等に実装されると、半田パンプ自身の高さによって、半導体装置の基板と外部実装基板との間に隙間が形成され、基板の裏面に搭載された第 2 の半導体チップが上記の隙間に収容されるため、第 2 の半導体チップが上記の隙間に収納される分だけ、実装時における半導体装置の取付け高さがより低くなる。

【0021】また、前記第 2 の半導体チップは前記電極部が設けられている面が前記基板の裏面に向けられた状態で前記基板の裏面に搭載され、前記基板における前記第 2 の半導体チップの電極部が設けられている領域に対向する部分には開口部が設けられており、前記第 2 の半導体チップの電極部と前記外部導出用配線とは前記開口部を通されたボンディングワイヤによって接続されている構成とすることにより、基板の片面のみに対する結線作業によって、基板の両面に搭載された各半導体チップの結線を行うことが可能となる。そのため、半導体装置の結線工程において基板を裏返す必要がないので、結線工程が簡素化されるとともに、既に結線されたボンディングワイヤが押しつぶされること等の不具合が発生することが防止される。

【0022】さらに、前記第 1 の半導体チップは前記外部導出用配線に接続される電極部が設けられている面が表に向けられた状態で前記基板の表面に搭載され、前記基板の表面には前記第 1 の半導体チップの周囲を囲むように内部配線が形成されており、前記第 1 の半導体チップの電極部と前記内部配線の一方の端部とはボンディングワイヤによって接続され、前記第 2 の半導体チップの電極部と前記内部配線の他方の端部および前記外部導出用配線とは前記開口部を通されたボンディングワイヤによって接続されている構成とすることにより、それぞれの接続に用いられるボンディングワイヤを比較的短くすることが可能となるため、基板に封止樹脂を流し込む際に、ボンディングワイヤが「ワイヤ流れ」を引き起こすおそれが低減され、半導体装置の生産歩留まりおよび品質を向上させることが可能となる。

【0023】また、前記第2の半導体チップの電極部には半田ボールが設けられ、前記基板の裏面には前記外部導出用配線に導通された電極パッドが設けられており、前記第2の半導体チップは、前記半田ボールが前記電極パッドに接続されることにより前記基板の裏面にフリップチップ接続されている構成としてもよい。

【0024】さらに、前記基板の表面における前記第1の半導体装置が搭載される部分にはダイパッドが設けられており、前記第1の半導体装置は導電性接着剤によって前記ダイパッドに接着されている構成としてもよい。

【0025】さらには、前記第2の半導体装置は接着テープによって前記基板の裏面に接着されている構成としてもよい。

【0026】加えて、前記基板はリジッドタイプの樹脂製基板である構成としてもよく、あるいは、前記基板はフレキシブルタイプの樹脂製基板である構成としてもよい。

【0027】また、本発明の半導体装置の製造方法は、表面に外部導出用配線が形成された基板の表面に、一方の面に電極パッドが設けられた第1の半導体チップを搭載し、前記第1の半導体チップの電極部を前記外部導出用配線に接続する工程と、前記基板の裏面に、一方の面に電極パッドが設けられた前記第2の半導体チップを搭載し、前記第2の半導体チップの電極部を前記外部導出用配線に接続する工程と、前記基板の裏面に、前記外部導出用配線に導通され、前記第2の半導体チップの厚み以上の高さに形成された半田パンプを設ける工程とを有する。

【0028】これにより、外部実装基板等に実装されると、半導体装置の基板と外部実装基板との間に、基板の裏面に搭載された第2の半導体チップが上記の隙間に収容される隙間が半田パンプ自身の高さによって形成され、実装時における取付け高さがより低くなる半導体装置が製造される。

【0029】さらに、前記基板のうちの前記第2の半導体チップの電極部が設けられている領域に対向する部分には開口部が設けられており、前記基板の裏面に、一方の面に電極パッドが設けられた前記第2の半導体チップを搭載し、前記第2の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第2の半導体チップを前記電極部が設けられている面を前記基板の裏面に向けた状態で前記基板の裏面に搭載する工程と、前記第2の半導体チップの電極部と前記外部導出用配線とを、前記開口部を通されたボンディングワイヤによって接続する工程とからなる構成とすることにより、半導体装置の結線工程において基板を裏返す必要がなくなり、結線工程が簡素化されるとともに、既に結線されたボンディングワイヤが押しつぶされること等の不具合が発生することが防止される。

【0030】さらには、前記基板のうちの前記第2の半

導体チップの電極部が設けられている領域に対向する部分には開口部が設けられているとともに、前記基板の表面には前記第1の半導体チップの周囲を囲むように内部配線が形成されており、前記表面に外部導出用配線が形成された基板の表面に、一方の面に電極パッドが設けられた第1の半導体チップを搭載し、前記第1の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第1の半導体チップを前記電極部が設けられている面を表に向けた状態で前記基板の表面に搭載する工程と、前記第1の半導体チップの電極部と前記内部配線の一方の端部とをボンディングワイヤによって接続する工程とからなり、前記基板の裏面に、一方の面に電極パッドが設けられた前記第2の半導体チップを搭載し、前記第2の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記第2の半導体チップを前記電極部が設けられている面を前記基板の裏面に向けた状態で前記基板の裏面に搭載する工程と、前記第2の半導体チップの電極部と前記外部導出用配線とを、前記開口部を通されたボンディングワイヤによって接続する工程とからなり、さらに、前記第2の半導体チップの電極部と前記内部配線の他方の端部とを、前記開口部を通されたボンディングワイヤによって接続する工程を有する構成とすることにより、それぞれの接続に用いられるボンディングワイヤを比較的短くすることが可能となり、基板に封止樹脂を流し込む際に、ボンディングワイヤが「ワイヤー流れ」を引き起こすおそれが低減され、半導体装置の生産歩留まりおよび品質を向上させることが可能となる。

【0031】また、前記第2の半導体チップの電極部には半田ボールが設けられ、前記基板の裏面には前記外部導出用配線に導通された電極パッドが設けられており、前記基板の裏面に、一方の面に電極パッドが設けられた前記第2の半導体チップを搭載し、前記第2の半導体チップの電極部を前記外部導出用配線に接続する工程は、前記半田ボールを前記電極パッドに接続させることにより前記第2の半導体チップを前記基板の裏面にフリップチップ接続させる工程である構成としてもよい。

【0032】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0033】（第1の実施形態）図1は、本発明の半導体装置の第1の実施形態の一部を破断して示す透視平面図、図2は図1に示した半導体装置の断面図である。

【0034】図1および図2に示すように、本実施形態の半導体装置1は、基板2の表面に設けられたダイパッド（不図示）の上に、第1の半導体チップ3が銀ペースト等の導電性接着剤によって接着され、さらに、基板2の裏面には第2の半導体チップ4がLOC(Lead On Chip)用テープ等の接着テープ10によって接着されている。各半導体チップ3、4は、それぞれ電極部が形成されている面が上に向けられた状態で、基板2に搭載され

ている。

【0035】図1に示すように、基板2の表面には、第1の半導体チップ3と第2の半導体チップ4とを接続するために用いられる内部配線6が、ダイパッドに搭載された第1の半導体チップ3の周囲を囲むように形成されているとともに、半導体装置1内部の回路を外部の実装基板等に接続させるための外部導出用配線7が形成されている。

【0036】内部配線6の両端部にはボンディングパッド6aが形成されており、また、各外部導出用配線7の一方の端部にはボンディングパッド7aが形成され、その他方の端部には基板2の裏面に接続されたスルーホール7bが形成されている。さらに、基板2の裏面において、各スルーホール7b上には、少なくとも第2の半導体チップ4の厚み以上の高さを有する半田バンプ8が設けられている(図2参照)。

【0037】また、図1および図2に示すように、基板2には、内部配線6と外部導出用配線7との間であって、第2の半導体チップ4の電極部が設けられている領域に対向する部分に、開口部5が設けられている。

【0038】第1の半導体チップ3の電極部と内部配線6の一方のボンディングパッド6aとは、ボンディングワイヤ9aによって接続されている。さらに、第2の半導体チップ4の電極部と内部配線6の他方のボンディングパッド6aとは、基板2の開口部5を通されたボンディングワイヤ9bによって接続され、第2の半導体チップ4の電極部と基板2の外部導出用配線7とは、基板2の開口部5を通されたボンディングワイヤ9cによって接続されている。従って、第1の半導体チップ3は、内部配線6、第2の半導体チップ4および外部導出用配線7を介して半田バンプ8に接続され、第2の半導体チップ4は外部導出用配線7を介して半田バンプ8に接続されている。

【0039】さらに、図2に示すように、基板2の表面および裏面は、各半導体チップ3、4、各配線6、7および各ボンディングワイヤ9a、9b、9cを密封するように、封止樹脂11によって封止されている。

【0040】次に、上記に説明した半導体装置1の製造工程について、図3(a)～(c)および図4(d)～(f)を参照して説明する。図3および図4は、図1等に示した半導体装置1の一連の製造工程を示す断面図(各図(i))および平面図(各図(ii))である。

【0041】本実施形態の半導体装置1の製造工程では、まず、図3(a)に示すように、表面に内部配線6および外部導出用配線7が形成され、さらに内部配線6と外部導出用配線7との間に開口部5が設けられた基板2の裏面のうち、第2の半導体チップ4が搭載される部分に、LOC(Lead On Chip)用テープ等の接着テープ10を貼り付ける。

【0042】次に、図3(b)に示すように、基板2の

裏面に貼り付けられた接着テープ10上に、第2の半導体チップ4を接着させる。このとき、第2の半導体チップ4の電極パッドが設けられている領域が基板2の開口部5に対向するように、基板2に対する第2の半導体チップ4の位置合わせを行う。

【0043】次に、基板2の表面に設けられたダイパッド(不図示)の上に銀ペースト等の導電性接着剤(不図示)を塗布する。続いて、図3(c)に示すように、第1の半導体チップ3を、電極パッドが設けられている面を上にして、基板2に設けられたダイパッドの上に接着させる。続いて、ベーク作業を行い、導電性接着剤を硬化させる。

【0044】次に、図4(d)に示すように、第1の半導体チップ3と基板2の内部配線6とをボンディングワイヤ9aによって接続する。続いて、第2の半導体チップ4と基板2の内部配線6とをボンディングワイヤ9bによって接続するとともに、第2の半導体チップ4と基板2の外部導出用配線7とをボンディングワイヤ9cによって接続する。このとき、各ボンディングワイヤ9b、9cは、基板2の開口部5を通して第2の半導体チップ4に接続される。

【0045】次に、図4(e)に示すように、基板2の表面および裏面に封止樹脂9を流し込んで、各半導体チップ3、4、各配線6、7および各ボンディングワイヤ9a、9b、9cを封止樹脂9で密封した後、封止樹脂9を固化させる。

【0046】最後に、図4(f)に示すように、基板2の裏面において、各外部導出用配線7の一方の端部に形成された各スルーホール7b(図1参照)上に、半田バンプ8を第2の半導体チップ4の厚み以上の高さに形成する。以上の工程により、半導体装置1が完成する。

【0047】上記のように構成されたBGA(Ball Grid Array)型の半導体装置1は、図5に示すように外部実装基板等に実装されると、半田バンプ8自身の高さによって、半導体装置1の基板2と外部実装基板との間に隙間が形成され、基板2の裏面に搭載された第2の半導体チップ4が上記の隙間に収容される。本実施形態の半導体装置1は、図8等にした従来のチップスタック型の半導体装置とパッケージ自体の厚みは変わらないものの、第2の半導体チップ4が上記の隙間に収納される分だけ、実装時における半導体装置1の取付け高さをより低くすることができる。

【0048】また、本実施形態の半導体装置1は、図7にした従来の半導体装置と同様に、半導体チップが基板2の両面に搭載されている構成である。しかし、本実施形態では、基板2の裏面側に搭載された第2の半導体チップ4と、基板2の表面に設けられた各配線6、7とが、基板2の開口部5を通されたボンディングワイヤ9b、9cによって接続されるため、片面のみに対するボンディング作業(結線作業)によって、両面に搭載され

た各半導体チップのワイヤボンディングを行うことができる。そのため、半導体装置1のワイヤボンディング工程(結線工程)において基板2を裏返す必要がないので、ワイヤボンディング工程を簡素化することができる。とともに、既に結線されたボンディングワイヤが押しつぶされること等の不具合が発生することを防止することができる。

【0049】さらに、本実施形態の半導体装置1では、第1の半導体チップ3が内部配線6および第2の半導体チップ4を介して外部導出用配線7に接続されているため、それぞれの接続に用いられるボンディングワイヤを比較的に短くすることができる。そのため、基板2に封止樹脂9を流し込む際に、ボンディングワイヤが「ワイヤ一流れ」を引き起こすおそれが低減され、半導体装置1の生産歩留まりおよび品質を向上させることが可能となる。

【0050】なお、本実施形態で用いられる基板2は、いわゆるリジッドタイプの樹脂基板であってもよく、あるいはいわゆるフレキシブルタイプの樹脂基板であってもよい。

【0051】また、各半導体チップ3、4は、ロジックチップやメモリチップである構成であってもよく、さらには、構成材料や製造プロセスが互いに異なるチップであってもよい。さらに、それぞれ複数の半導体チップ3、4が基板2に搭載される構成であってもよい。

【0052】(第2の実施形態)図6は、本発明の半導体装置の第2の実施形態の一部を破断した状態で示す断面図である。

【0053】図6に示すように、本実施形態の半導体装置21は、基板22の表面に設けられたダイパッド(不図示)の上に第1の半導体チップ23が銀ペースト等の導電性接着剤によって接着され、さらに、基板2の裏面に設けられた電極パッド(不図示)の上には、第2の半導体チップ24が、第2の半導体チップ24の電極部に設けられた半田ボール27を介してフリップチップ接続されている。第1の半導体チップ23は、電極部が設けられている面が上に向けられた状態で、基板22上に搭載されている。

【0054】基板22の表面には、半導体装置21内部の回路を外部の実装基板等に接続させるための配線25が設けられており、配線25の一方の端部にはボンディングパッド25aが上記のダイパッドに搭載された第1の半導体チップ23の周囲を囲むように形成され、他方の端部には基板22の裏面に接続された第1のスルーホール(不図示)が形成されている。基板22の裏面において、各スルーホール上には第2の半導体チップ24の厚み以上の高さを有する半田バンプ28が接合されている。さらに、基板22の表面に設けられた配線25と基板22の裏面に設けられた電極パッドとは、第2のスルーホール(不図示)によって接続されている。

【0055】第1の半導体チップ23の電極部と配線25のボンディングパッド25aとは、ボンディングワイヤ26によって接続されている。さらに、第2の半導体チップ24と配線25とは、上記の第2のスルーホールを介して接続されている。従って、各半導体チップ23、24は配線25を介して半田バンプ8に接続されている。

【0056】さらに、基板22の表面および裏面は、各半導体チップ23、24、配線25および各ボンディングワイヤ26を密封するように、封止樹脂29によって封止されている。

【0057】次に、上記に説明した半導体装置21の製造工程について説明する。

【0058】本実施形態の半導体装置21の製造工程では、まず、基板22の表面に設けられたダイパッド(不図示)の上に銀ペースト等の導電性接着剤(不図示)を塗布する。続いて、第1の半導体チップ23を、電極部が設けられている面を上にして、基板22に設けられたダイパッドの上に接着させる。続いて、バーク作業を行い、導電性接着剤を硬化させる。

【0059】次に、基板22の裏面に設けられた電極パッドと、第2の半導体チップ24の電極部に設けられた半田ボール27との位置合わせを行い、半田ボール27をリフローすることにより、基板22の裏面に第2の半導体チップ24をフリップチップ接続する。

【0060】次に、第1の半導体チップ23と基板22の配線25とをボンディングワイヤ26によって接続する。続いて、基板22の表面および裏面に封止樹脂29を流し込んで各半導体チップ23、24、配線25およびボンディングワイヤ26を封止樹脂29で密封した後、封止樹脂29を固化させる。

【0061】最後に、基板22の裏面において、各配線25の一方の端部に形成された各第1のスルーホール上に、半田バンプ28を第2の半導体チップ24の厚み以上の高さに形成する。以上の工程により、半導体装置21が完成する。

【0062】本実施形態の半導体装置21においても、図2等にした第1の実施形態の半導体装置1と同様に、外部実装基板等に実装されると半田バンプ28自身の高さによって基板22と外部実装基板との間に隙間が形成され、基板22の裏面に搭載された第2の半導体チップ24が上記の隙間に収容される。そのため、第2の半導体チップ24が上記の隙間に収納される分だけ、実装時における半導体装置21の取付け高さをより低くすることができる。

【0063】また、本実施形態の半導体装置21では、第2の半導体チップ24がフリップチップ接続によって基板22の裏面に搭載されるため、ワイヤボンディング作業(結線作業)が行われるのは、第1の半導体チップ23と配線25との接続箇所のみである。従って、ワイ



(結線工程)において基板22を裏返す必要がなく、ワイヤボンディング工程を簡素化することができるとともに、既に結線されたボンディングワイヤが押しつぶされること等の不具合が発生することを防止することができる。

【 0 0 6 5 】

【0066】さらに、基板のうちの第2の半導体チップの電極部が設けられている領域に対向する部分に開口部を設け、第2の半導体チップを電極部が設けられている面を基板の裏面にに向けた状態で基板の裏面に搭載し、第2の半導体チップの電極部と外部導出用配線とを、開口部を通されたボンディングワイヤによって接続することにより、半導体装置の結線工程において基板を裏返す必

【図面の簡単な説明】

【図 2】 図 1 に示した半導体装置の断面図である。

【図4】図1等にした半導体装置の一連の製造工程を示す断面図および平面図である。

【図6】本発明の半導体装置の第2の実施形態の一部を破断した状態で示す断面図である。

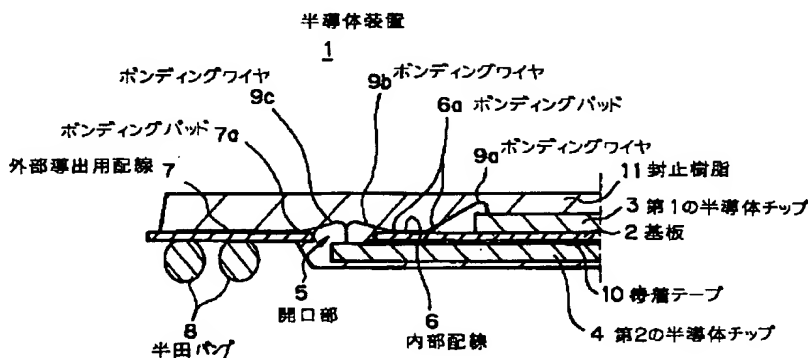
【図 7】従来の半導体装置を示す断面図である。

20 【図9】図8に示した従来の他の半導体装置を示す断面図である。

【符号の説明】

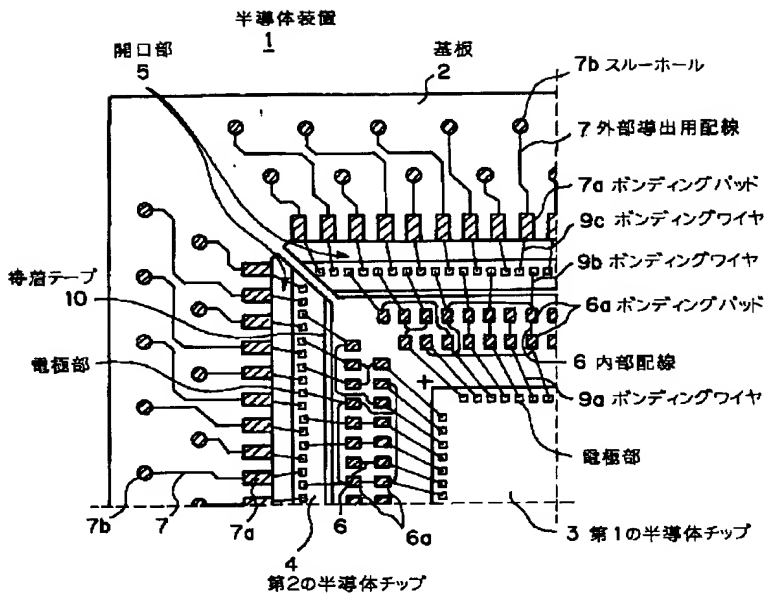
- |                    |             |
|--------------------|-------------|
| 1, 2 1             | 半導体装置       |
| 2, 2 2             | 基板          |
| 3, 2 3             | 第 1 の半導体チップ |
| 4, 2 4             | 第 2 の半導体チップ |
| 5                  | 開口部         |
| 6                  | 内部配線        |
| 6 a, 7 a, 2 5 a    | ボンディングパッド   |
| 7 b                | スルーホール      |
| 8, 2 8             | 半田パンパ       |
| 9 a, 9 b, 9 c, 2 6 | ボンディングワイヤ   |
| 1 0                | 接着テープ       |
| 1 1, 2 9           | 封止樹脂        |
| 2 5                | 配線          |
| 2 7                | 半田ボール       |

【图2】

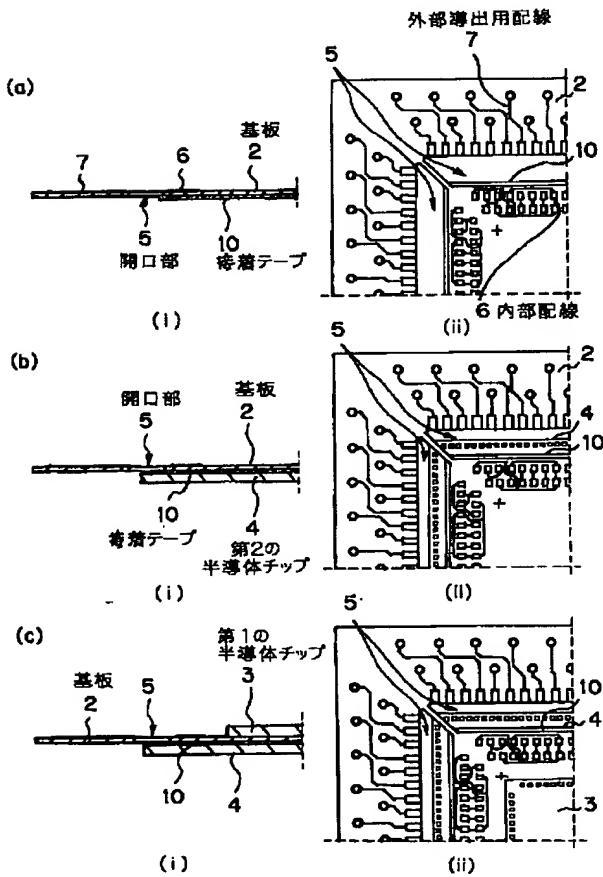




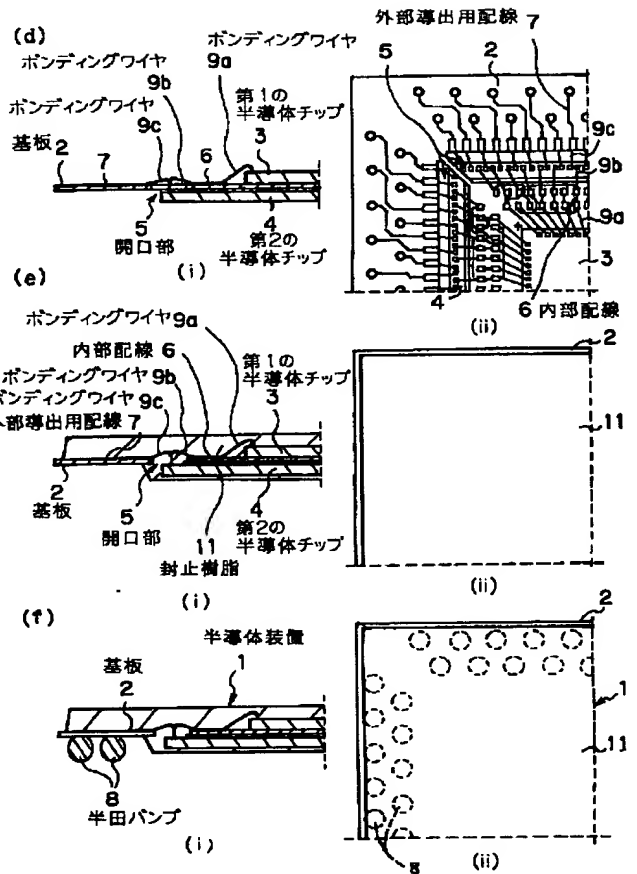
【図 1】



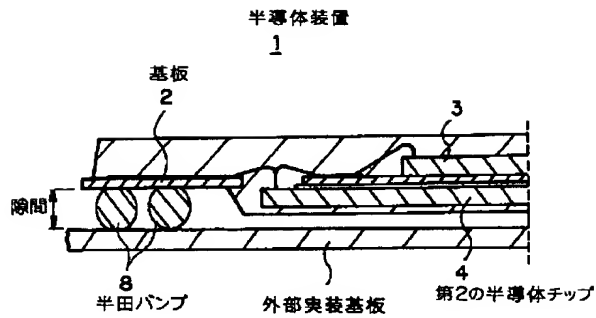
【图 3】



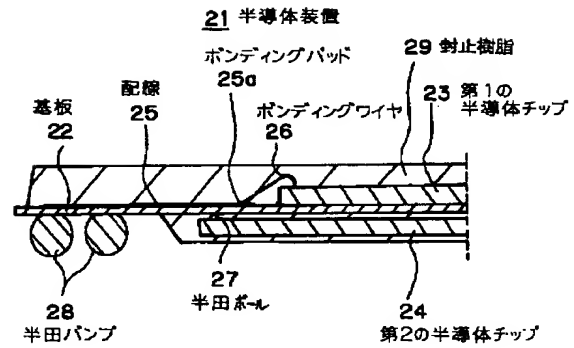
【図 4】



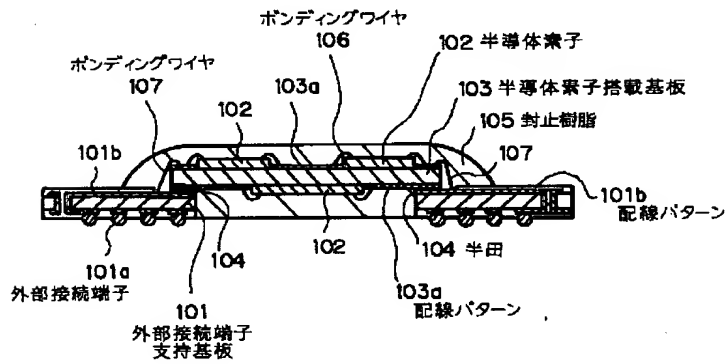
【図 5】



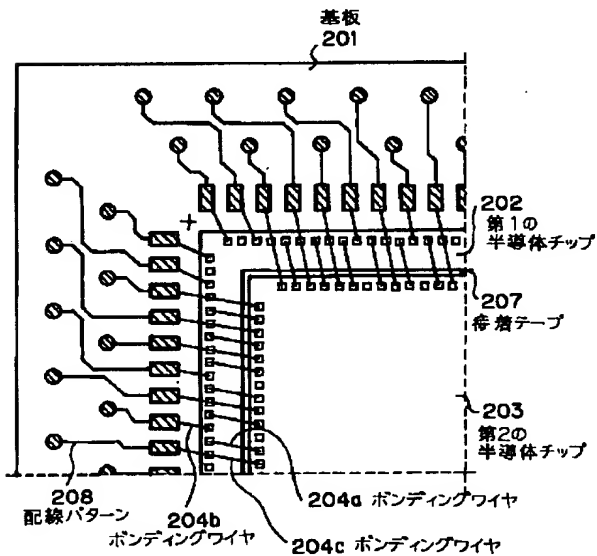
【図 6】



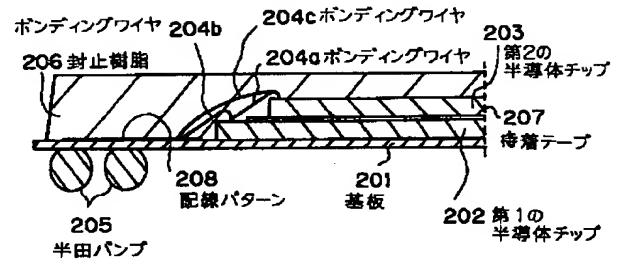
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

識別記号

F I

H O 1 L 23/12